

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000165203
PUBLICATION DATE : 16-06-00

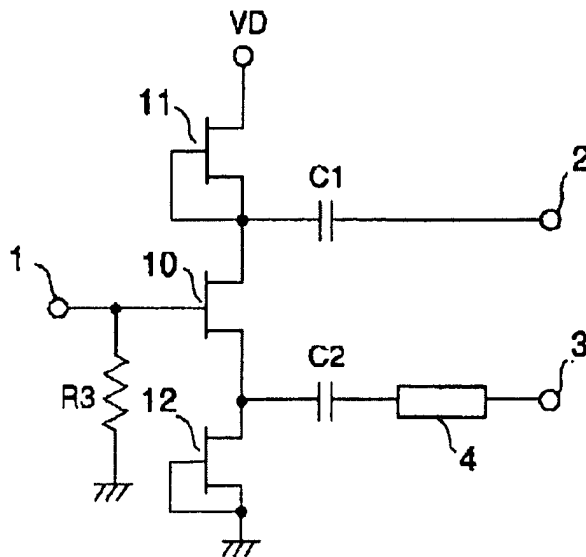
APPLICATION DATE : 30-11-98
APPLICATION NUMBER : 10339596

APPLICANT : JAPAN RADIO CO LTD;

INVENTOR : KASHIMURA KAZUNORI;

INT.CL. : H03H 11/32

TITLE : ACTIVE BALUN CIRCUIT



ABSTRACT : **PROBLEM TO BE SOLVED:** To obtain an active balun circuit by which outputs with the same amplitude and a different phase by 180 degrees can be obtained stably from each output port even at a microwave frequency band.

SOLUTION: An input port 1 is connected to a gate of a 1st FET (existing FET) 10 in this active balun circuit, a short-circuit section between a gate and a source of a 2nd FET 11 and a 1st output port 2 via a 1st capacitor C1 are connected in parallel with the drain side, a drain of a 3rd FET 12 and a 2nd output port 3 via a 2nd capacitor C2 are connected in parallel with the source side, a 3rd resistor R3 whose one terminal connects to ground is connected in parallel with the gate, a terminal applying a drain voltage VD is connected to the drain of the 2nd FET 11, the short-circuit section between the gate and the source of the 3rd FET 12 connects to ground, and a transmission line 4 for adjusting a phase difference is interposed between the 2nd capacitor C2 and the 2nd output port 3.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-165203
(P2000-165203A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl.⁷
H 0 3 H 11/32

識別記号

F I
H 0 3 H 11/32

テーマコード(参考)
5 J 0 9 8

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平10-339596

(22) 出願日 平成10年11月30日 (1998.11.30)

(71) 出願人 000004330

日本無線株式会社
東京都三鷹市下連雀5丁目1番1号

(72) 発明者 利波 良幸

東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内

(72) 発明者 極村 和則

東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内

(74) 代理人 100071272

弁理士 後藤 祥介 (外1名)

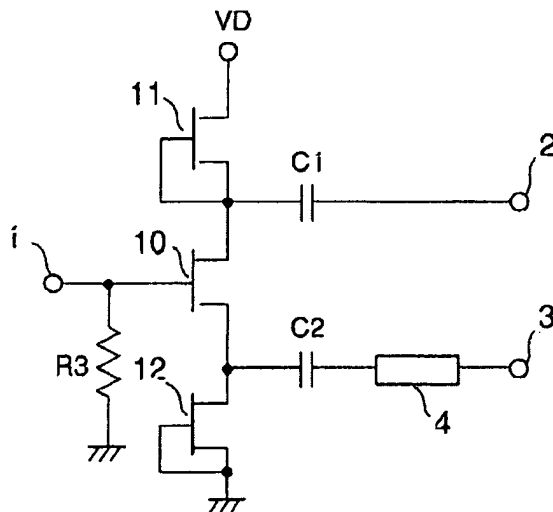
Fターム(参考) 5J098 AA03 AA11 AA14 AA16 AB20
AD02 AD03

(54) 【発明の名称】 アクティブバラン回路

(57) 【要約】

【課題】 マイクロ波帯域でも各出力ポートから安定して同一振幅で互いに180度位相が異なる出力が得られるアクティブバラン回路を提供すること。

【解決手段】 このアクティブバラン回路は、第1のFET (既存のFET) 10におけるゲート側に入力ポート1が接続され、ドレイン側に第2のFET 11のゲート及びソースの短絡部、及び第1のキャパシタC1を介在させた第1の出力ポート2が並列接続され、ソース側には第3のFET 12のドレイン側、及び第2のキャパシタC2を介在させた第2の出力ポート3が並列接続されると共に、ゲート側に第3の抵抗R3が並列接続された上で接地され、且つ第2のFET 11のドレイン側にドレイン電圧VDを印加するための端子が接続され、第3のFET 12のゲート及びソースの短絡部が接地接続され、第2のキャパシタC2及び第2の出力ポート3の間には位相差調整用の伝送線路4が介挿されて成る。



【特許請求の範囲】

【請求項1】 電界効果トランジスタにおけるゲート側に入力ポートが接続され、ドレイン側に第1の抵抗を介在させたドレイン電圧を印加するための端子、及び第1のキャパシタを介在させた第1の出力ポートが並列接続され、ソース側に第2の抵抗を介在させた接地用に供される導線、及び第2のキャパシタを介在させた第2の出力ポートが並列接続され、更に、ゲート・ソース間及びゲート・ドレイン間で位相が反転されることで該第1の出力ポートと該第2の出力ポートとからの出力を同一振幅で互いに180度位相が異なるものとするアクティブバラン回路において、前記ソース側における前記第2の出力ポート又は前記第2のキャパシタ及び該第2の出力ポートの間に第3のキャパシタを並列に介挿した上で接地用に供される導線が接続されて成ることを特徴とするアクティブバラン回路。

【請求項2】 第1の電界効果トランジスタにおけるゲート側に入力ポートが接続され、ドレイン側に第2の電界効果トランジスタのゲート及びソースの短絡部、及び第1のキャパシタを介在させた第1の出力ポートが並列接続され、ソース側に第3の電界効果トランジスタのドレイン側、及び第2のキャパシタを介在させた第2の出力ポートが並列接続されると共に、該ゲート側に第3の抵抗が並列接続された上で接地され、且つ該第2の電界効果トランジスタのドレイン側にドレイン電圧を印加するための端子が接続され、該第3の電界効果トランジスタのゲート及びソースの短絡部が接地接続され、該第2のキャパシタ及び該第2の出力ポートの間には位相差調整用の伝送線路が介挿されて成り、更に、前記第1の電界効果トランジスタにおけるゲート・ソース間及びゲート・ドレイン間で位相が反転されることで前記第1の出力ポートと前記第2の出力ポートとからの出力を同一振幅で互いに180度位相が異なるものとすることを特徴とするアクティブバラン回路。

【請求項3】 請求項2記載のアクティブバラン回路において、前記第1の電界効果トランジスタにおけるゲート側に前記第3の抵抗に代えて外部から所定の電圧を印加するための端子が並列接続されたことを特徴とするアクティブバラン回路。

【請求項4】 請求項2又は3記載のアクティブバラン回路において、前記伝送線路に代えて集中定数回路が用いられ、前記集中定数回路は、前記第2のキャパシタ及び前記第2の出力ポートの間に直列に介挿接続されたコイルと、前記コイルの入力側と出力側とにそれぞれ並列接続された上で接地された一対のキャパシタとから成ることを特徴とするアクティブバラン回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、主として電界効果トランジスタ（以下、FETとする）のゲートをを入力

ポートとし、且つドレインとソースとをそれぞれ出力ポートとするアクティブバラン回路であって、詳しくは各出力ポートから同一振幅で互いに180度位相が異なる出力が得られるようにしたアクティブバラン回路に関する。

【0002】

【従来の技術】従来、この種のアクティブバラン回路は、FETにおけるゲート側から入力電力を入力し、ドレイン側とソース側とから出力電力を同一振幅で互いに180度位相が異なるように分配して出力するものとして知られている。

【0003】図7は、従来のアクティブバラン回路の一例を示した回路図である。このアクティブバラン回路は、FET10におけるゲート側に入力ポート1が接続され、ドレイン側に第1の抵抗R1を介在させたドレイン電圧VDを印加するための端子、及び第1のキャパシタC1を介在させた第1の出力ポート2が並列接続され、ソース側に第2の抵抗R2を介在させた接地用に供される導線、及び第2のキャパシタC2を介在させた第2の出力ポート3が並列接続され、且つゲート・ソース間及びゲート・ドレイン間で位相が反転されるようになっている。

【0004】このアクティブバラン回路では、第1の抵抗R1及び第2の抵抗R2がバイアスを供給するために用いられ、第1のキャパシタC1及び第2のキャパシタC2が直流（DC）成分カットのために用いられており、入力ポート1から入力した交流信号による入力電力を第1の出力ポート2と第2の出力ポート3とに分配して出力電力として出力する際、FET10におけるゲート・ソース間及びゲート・ドレイン間で位相が反転され、第1の出力ポート2と第2の出力ポート3とからの出力電力が同一振幅で互いに180度位相が異なるものとなる。

【0005】図8は、このアクティブバラン回路の振幅特性及び位相特性を示したもので、同図（a）は周波数（GHz）における振幅差（dB）の関係を示した振幅特性に関するもの、同図（b）は周波数（GHz）における位相差（度）の関係を示した位相特性に関するものである。

【0006】このアクティブバラン回路の場合、図8（a）及び図8（b）を参照すれば、周波数2～3（GHz）における第1の出力ポート2及び第2の出力ポート3の振幅差（dB）は0付近に近いマイナス値で十分に抑制されているが、周波数2～3（GHz）における第1の出力ポート2及び第2の出力ポート3の位相差（度）の方は180度よりも低い約165度の値から周波数の増加に伴って次第に160度に近い値へと減少している様子が判る。

【0007】図9は、従来のアクティブバラン回路の他例を示した回路図である。このアクティブバラン回路

は、先のアクティブバラン回路と比べ、FET10のゲート側に第3の抵抗R3が並列接続された上で接地されており、ソース側の第2の抵抗R2が接地されている点が相違しており、それ以外は同じ構成になっている。ここでもFET10のゲート・ソース間及びゲート・ドレイン間で位相が反転され、先のアクティブバラン回路の場合と同様に動作する。

【0008】図10は、このアクティブバラン回路の位相差及び位相差誤差特性として、周波数（GHz）における位相（deg）及び180度位相差に対する誤差（deg）の関係を示したものである。

【0009】このアクティブバラン回路の場合、図10を参照すれば、周波数0～10（GHz）における第1の出力ポート2の出力（出力1）及び第2の出力ポート3の出力（出力2）に係る位相は周波数の増加に伴って次第に180度未満へと外れる傾向にあり、周波数10GHzでは第1の出力ポート2の出力（出力1）及び第2の出力ポート3の出力（出力2）に係る180度位相差に対する誤差が40度以上になっている様子が判る。

【0010】

【発明が解決しようとする課題】上述した図7や図9に示した既存のFETを用いたアクティブバラン回路の場合、何れもFETのcgsのような周波数依存性を有する要素を無視できる低い周波数帯域では図8（b）に示したように各出力ポートからの出力における位相が互いに反転するが、マイクロ波帯域のような高い周波数帯域では図10に示したようにその影響を無視できなくなり、FETのゲート・ソース間及びゲート・ドレイン間で大きな位相差が生じて各出力ポートからの出力が同一振幅で互いに180度位相が異なるものとならなくなってしまうという問題がある。このように、各出力ポートからの出力が同一振幅で互いに180度位相が異なるものとならないアクティブバラン回路では、FETのドレイン側に接続された抵抗及びソース側に接続された抵抗（バイアスを供給するための抵抗）のインピーダンスが数十～数百と低い場合、伝送される信号の損失が大きくなってしまふ。

【0011】本発明は、このような問題点を解決すべくなされたもので、その技術的課題は、マイクロ波帯域でも各出力ポートから安定して同一振幅で互いに180度位相が異なる出力が得られ、高周波数帯域の適用が可能なアクティブバラン回路を提供することにある。

【0012】

【課題を解決するための手段】本発明によれば、FETにおけるゲート側に入力ポートが接続され、ドレイン側に第1の抵抗を介在させたドレイン電圧を印加するための端子、及び第1のキャパシタを介在させた第1の出力ポートが並列接続され、ソース側に第2の抵抗を介在させた接地用に供される導線、及び第2のキャパシタを介在させた第2の出力ポートが並列接続され、更に、ゲート・ソース間及びゲート・ドレイン間で位相が反転されることで第1の出力ポートと第2の出力ポートとからの出力を同一振幅で互いに180度位相が異なるものとするアクティブバラン回路が得られる。

ト・ソース間及びゲート・ドレイン間で位相が反転されることで第1の出力ポートと第2の出力ポートとからの出力を同一振幅で互いに180度位相が異なるものとするアクティブバラン回路において、ソース側における第2の出力ポート又は第2のキャパシタ及び該第2の出力ポートの間に第3のキャパシタを並列に介挿した上で接地用に供される導線が接続されて成るアクティブバラン回路が得られる。

【0013】一方、本発明によれば、第1のFETにおけるゲート側に入力ポートが接続され、ドレイン側に第2のFETのゲート及びソースの短絡部、及び第1のキャパシタを介在させた第1の出力ポートが並列接続され、ソース側に第3のFETのドレイン側、及び第2のキャパシタを介在させた第2の出力ポートが並列接続されると共に、該ゲート側に第3の抵抗が並列接続された上で接地され、且つ該第2のFETのドレイン側にドレイン電圧を印加するための端子が接続され、該第3のFETのゲート及びソースの短絡部が接地接続され、該第2のキャパシタ及び該第2の出力ポートの間には位相差調整用の伝送線路が介挿されて成り、更に、第1のFETにおけるゲート・ソース間及びゲート・ドレイン間で位相が反転されることで第1の出力ポートと第2の出力ポートとからの出力を同一振幅で互いに180度位相が異なるものとするアクティブバラン回路が得られる。

【0014】又、本発明によれば、上記アクティブバラン回路において、第1のFETにおけるゲート側に第3の抵抗に代えて外部から所定の電圧を印加するための端子が並列接続されたアクティブバラン回路が得られる。

【0015】更に、本発明によれば、上記何れかのアクティブバラン回路において、伝送線路に代えて集中定数回路が用いられ、集中定数回路は、第2のキャパシタ及び第2の出力ポートの間に直列に介挿接続されたコイルと、コイルの入力側と出力側とにそれぞれ並列接続された上で接地された一対のキャパシタとから成るアクティブバラン回路が得られる。

【0016】

【発明の実施の形態】以下に幾つかの実施例を挙げ、本発明のアクティブバラン回路について、図面を参照して詳細に説明する。

【0017】図1は、本発明の実施例1に係るアクティブバラン回路の基本構成を示した回路図である。このアクティブバラン回路は、図7に示した既存の回路と同様に、FET10におけるゲート側に入力ポート1が接続され、ドレイン側に第1の抵抗R1を介在させたドレイン電圧VDを印加するための端子、及び第1のキャパシタC1を介在させた第1の出力ポート2が並列接続され、ソース側に第2の抵抗R2を介在させた接地用に供される導線、及び第2のキャパシタC2を介在させた第2の出力ポート3が並列接続され、ゲート・ソース間及びゲート・ドレイン間で位相が反転されることで第1の

出力ポート2と第2の出力ポート3とからの出力を同一振幅で互いに180度位相が異なるものとするものであるが、ここでは更に、ソース側における第2のキャパシタC2及び第2の出力ポート3の間(第2の出力ポート3を対象にしても良い)に第3のキャパシタC3を並列に介挿した上で接地用に供される導線が接続されている。

【0018】このアクティブバラン回路では、第1の抵抗R1及び第2の抵抗R2がバイアスを供給するために用いられ、第1のキャパシタC1及び第2のキャパシタC2が直流(DC)成分カットのために用いられており、第3のキャパシタC3が高周波数帯域への適用を計るために用いられており、マイクロ波帯域で使用しても入力ポート1から入力した交流信号による入力電力を第1の出力ポート2と第2の出力ポート3とに分配して出力電力として出力する際、FET10におけるゲート・ソース間及びゲート・ドレイン間で位相が適確に反転され、第1の出力ポート2と第2の出力ポート3とからの出力電力が正確に同一振幅で互いに180度位相が異なるものとなる。

【0019】図2は、アクティブバラン回路の振幅特性及び位相特性を示したもので、同図(a)は周波数(GHz)における振幅差(dB)の関係を示した振幅特性に関するもの、同図(b)は周波数(GHz)における位相差(度)の関係を示した位相特性に関するものである。

【0020】このアクティブバラン回路の場合、図2(a)及び図2(b)を参照すれば、周波数2~3(GHz)における第1の出力ポート2及び第2の出力ポート3の振幅差(dB)は0付近に近いプラス値で十分に抑制されており、周波数2~3(GHz)における第1の出力ポート2及び第2の出力ポート3の位相差(度)の方は180度よりも若干高い値から周波数の増加に伴って2.4GHz超過の付近で減少し、180度よりも若干低い値に推移した後にその値が維持されており、結果として180度前後の値に維持される様子が判る。

【0021】従って、このアクティブバラン回路は、図7に回路構成を示し、図8(b)にその位相特性を示した既存の回路よりも格段に位相特性が向上しており、マイクロ波帯域で使用しても各出力ポート2、3から安定して同一振幅で互いに180度位相が異なる出力が得られるため、高周波数帯域の適用が有効となる。尚、このアクティブバラン回路は、各キャパシタC1、C2、C3をMMIC等に用いられるMIMキャパシタとすれば、小型に構成される。

【0022】このようにマイクロ波帯域で適用可能なアクティブバラン回路は、バイアス供給用の抵抗R1、R2を排除しても構成できる。

【0023】図3は、本発明の実施例2に係るアクティブバラン回路の基本構成を示した回路図である。このア

クティブバラン回路は、第1のFET10におけるゲート側に入力ポート1が接続され、ドレイン側に第2のFET11のゲート及びソースの短絡部、及び第1のキャパシタC1を介在させた第1の出力ポート2が並列接続され、ソース側に第3のFET12のドレイン側、及び第2のキャパシタC2を介在させた第2の出力ポート3が並列接続されると共に、ゲート側に第3の抵抗R3が並列接続された上で接地され、且つ第2のFET11のドレイン側にドレイン電圧VDを印加するための端子が接続され、第3のFET12のゲート及びソースの短絡部が接地接続され、第2のキャパシタC2及び第2の出力ポート3の間には位相差調整用の伝送線路4が介挿されて成っている。

【0024】このアクティブバラン回路の場合も、第1のFET10におけるゲート・ソース間及びゲート・ドレイン間で位相が適確に反転されることで第1の出力ポート2と第2の出力ポート3とからの出力を正確に同一振幅で互いに180度位相が異なるものとすることができる。

【0025】図4は、このアクティブバラン回路の位相差及び位相差誤差特性として、周波数(GHz)における位相(deg)及び180度位相差に対する誤差(deg)の関係を示したものである。

【0026】このアクティブバラン回路の場合、伝送線路4を介挿しているため、図4を参照すれば、周波数0~10(GHz)における第1の出力ポート2の出力(出力1)及び第2の出力ポート3の出力(出力2)に係る位相は周波数の増加によってもほぼ180度を維持する傾向にあり、周波数10GHzでも第1の出力ポート2の出力(出力1)及び第2の出力ポート3の出力(出力2)に係る180度位相差に対する誤差が5度以下になっている様子が判る。

【0027】従って、このアクティブバラン回路は、図9に回路構成を示し、図10にその位相差及び位相差誤差特性を示した既存の回路よりも格段に位相特性が向上しており、マイクロ波帯域で使用しても各出力ポート2、3から安定して同一振幅で互いに180度位相が異なる出力が得られるため、高周波数帯域の適用が有効となる。

【0028】ところで、このアクティブバラン回路は細部を変形して構成しても同等の機能を持たせることができる。例えば図5に示される変形例のように、第1のFET10におけるゲート側に第3の抵抗R3に代えて外部から所定の電圧VGを印加するための端子が並列接続された構成としたり、或いは更に図6に示される別の変形例のように、伝送線路4に代えて集中定数回路を用いる構成とすることができる。但し、ここでの集中定数回路は、第2のキャパシタC2及び第2の出力ポート3の間に直列に介挿接続されたコイルLと、コイルLの入力側と出力側とにそれぞれ並列接続された上で接地された

一対のキャパシタC4、C5とから成るようにすれば良い。

【0029】何れにしても、実施例2に係るアクティブバラン回路は、実施例1に係る回路よりも幾分部品点数が増加してやや大型になるが、実施例1に係る回路よりも一層高周波帯域での位相特性が安定したものになる。

【0030】

【発明の効果】以上に説明したように、本発明のアクティブバラン回路によれば、既存のFET（第1のFET）を用いた回路を改良し、キャパシタスの改良として、ソース側における第2のキャパシタ及び第2の出力ポートの間（又は第2の出力ポート）に第3のキャパシタを並列に介挿した上で接地用に供される導線が接続されて成る構成としたり、或いは位相差調整用の伝送線路を設けるための改良として、第1のFETにおけるドレイン側に第2のFETのゲート及びソースの短絡部、及び第1のキャパシタを介在させた第1の出力ポートが並列接続され、ソース側に第3のFETのドレイン側、及び第2のキャパシタを介在させた第2の出力ポートが並列接続されると共に、ゲート側に第3の抵抗が並列接続された上で接地され、且つ第2のFETのドレイン側にドレイン電圧を印加するための端子が接続され、第3のFETのゲート及びソースの短絡部が接地接続され、第2のキャパシタ及び第2の出力ポートの間には位相差調整用の伝送線路が介挿されて成る構成とすることにより、マイクロ波帯域で使用しても第1のFETにおけるゲート・ソース間及びゲート・ドレイン間で位相が適確に反転されることで第1の出力ポートと第2の出力ポートとからの出力を正確に同一振幅で互いに180度位相が異なるものとする事ができるので、結果として伝送される信号の損失を精度良く防止できるようになる。

【図面の簡単な説明】

【図1】本発明の実施例1に係るアクティブバラン回路の基本構成を示した回路図である。

【図2】図1に示すアクティブバラン回路の振幅特性及び位相特性を示したもので、(a)は周波数における振幅差の関係を示した振幅特性に関するもの、(b)は周波数における位相差の関係を示した位相特性に関するものである。

【図3】本発明の実施例2に係るアクティブバラン回路の基本構成を示した回路図である。

【図4】図3に示すアクティブバラン回路の位相差及び位相差誤差特性として周波数における位相及び180度位相差に対する誤差の関係を示したものである。

【図5】図3に示すアクティブバラン回路を変形した場合の回路図である。

【図6】図3に示すアクティブバラン回路を別に変形した場合の回路図である。

【図7】従来のアクティブバラン回路の一例を示した回路図である。

【図8】図7に示すアクティブバラン回路の振幅特性及び位相特性を示したもので、(a)は周波数における振幅差の関係を示した振幅特性に関するもの、(b)は周波数における位相差の関係を示した位相特性に関するものである。

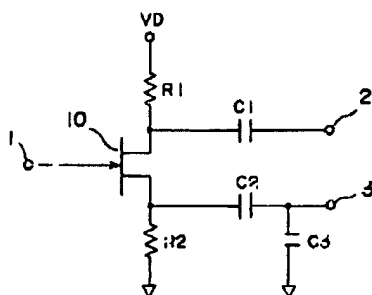
【図9】従来のアクティブバラン回路の他例を示した回路図である。

【図10】図9に示すアクティブバラン回路の位相差及び位相差誤差特性として周波数における位相及び180度位相差に対する誤差の関係を示したものである。

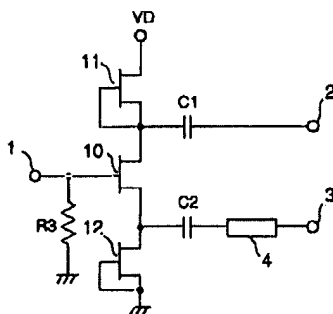
【符号の説明】

- 1 入力ポート
- 2、3 出力ポート
- 4 伝送線路
- 10、11、12 FET
- C1～C5 キャパシタ
- L コイル

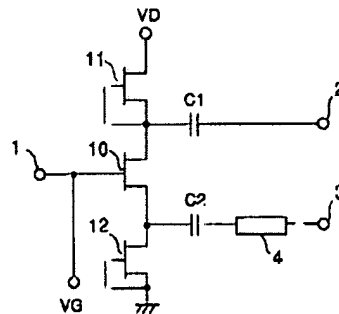
【図1】



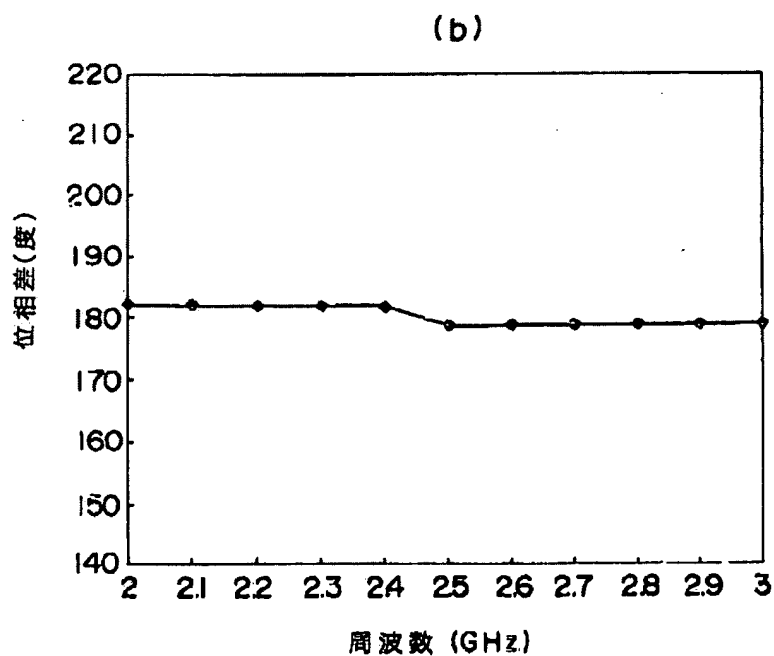
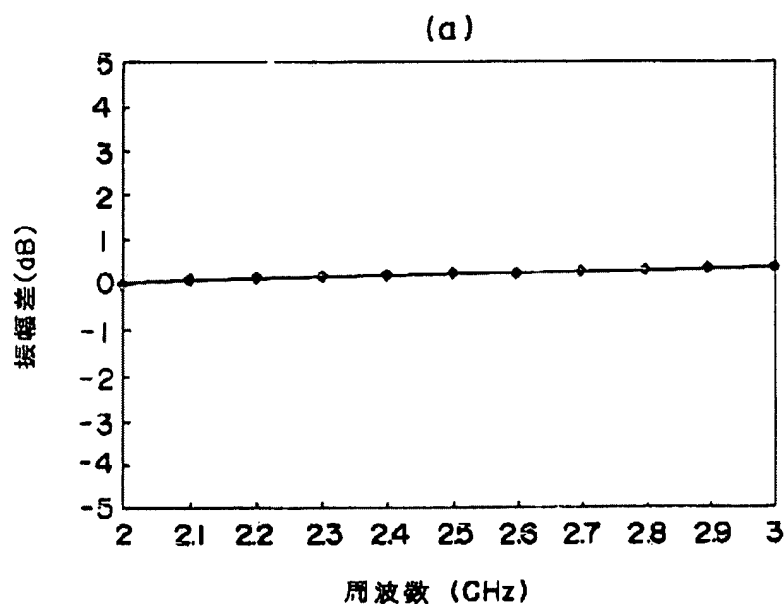
【図3】



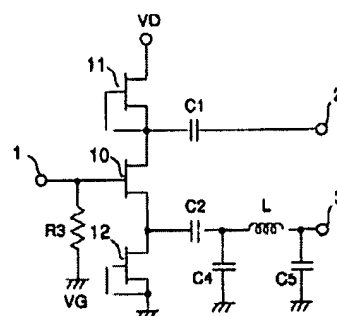
【図5】



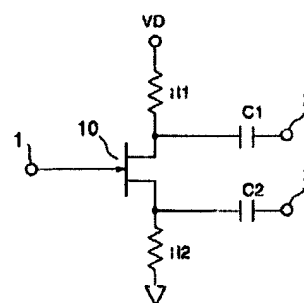
【図2】



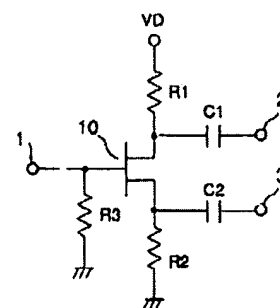
【図6】



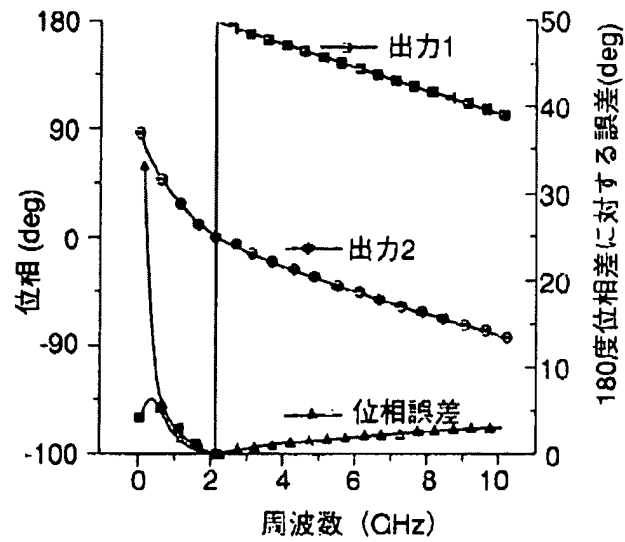
【図7】



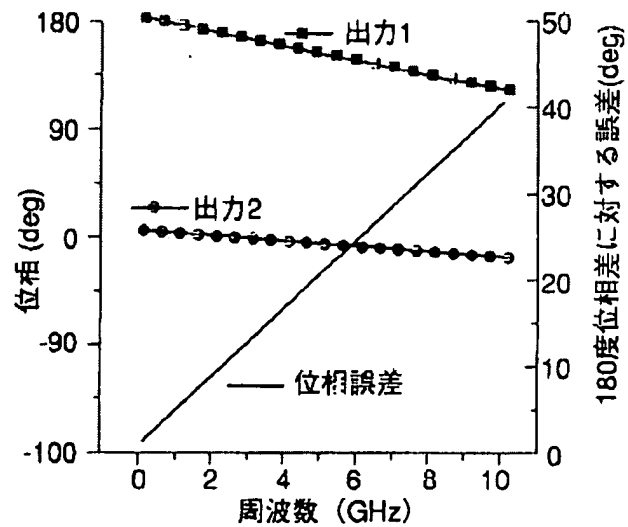
【図9】



【図4】



【図10】



【図8】

